

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-34466

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月14日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 2 1 S

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 縦形二重拡散MOSFET

⑮ 特 願 平1-166786

⑯ 出 願 平1(1989)6月30日

⑰ 発 明 者 酒 井 達 郎 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 発 明 者 谷 内 利 明 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 瀬 良 田 卓 嗣 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

縦形二重拡散MOSFET

2. 特許請求の範囲

第1の導電形の第1の半導体層と該第1の半導体層上に形成された第1の導電形でかつ上記第1の半導体層に比し高い比抵抗の第2の半導体層とを有し、上記第2の半導体層内に第1の導電形とは逆の第2の導電形を有するチャネル形成用の第1の半導体領域と、第1の導電形のソース領域としての第2の半導体領域とがチャネルを形成し、該チャネルおよび上記第2の半導体層の表面においてゲート絶縁膜としての第1の絶縁層を介してゲート電極としての第1の導電性層が形成され、さらに上記第1の半導体領域ならびに上記第2の半導体領域に接するようにソース電極としての第2の導電性層が、また上記第1の半導体層の表面にドレイン電極としての第3の導電性層が形成されてなる縦形二重拡散MOSFETにおいて、

上記第2の半導体層を、比抵抗の高い層と比抵抗の低い層との2層で構成し、上記第1の半導体層側に比抵抗が高い層を、上記ゲート絶縁膜としての第1の絶縁層側には比抵抗が低い層を設け、かつ該2層の境界を上記チャネル形成領域としての第1の半導体領域と上記第2の半導体層とによって形成される接合よりも上記第1の半導体層側に設定することを特徴とする、縦形二重拡散MOSFET。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、縦形二重拡散MOSFETのオン抵抗低減に関するものである。

[従来の技術]

従来の縦形二重拡散MOSFETとしては、第4図に示す構造が一般的である。すなわち、低比抵抗のN⁺基板1と比較的比抵抗の高いN形エピタキシャル層2を有し、ゲート絶縁膜3の上に形成されたポリシリコンからなるゲート電極4をマスクとして、P形チャネル形成領域5ならびに

N⁺ソース領域6が二重拡散によって形成され、ゲート電極4の表面に層間絶縁膜7を形成しP形チャネル形成領域5ならびにN⁺ソース領域6に接するようにソース電極8が形成され、N⁺基板1の裏面にドレイン電極9が形成されている。

〔発明が解決しようとする課題〕

このような構成の縦形二重拡散MOSFETでは、P形チャネル形成領域5とN形エピタキシャル層2、N⁺基板1とによって形成されるP⁺NN⁺ダイオードで素子耐圧が決まり、所定の素子耐圧を得るためにN形エピタキシャル層2の不純物濃度と厚さを最適に設定した場合、N形エピタキシャル層2のP形チャネル形成領域5で挟まれた接合型FET部(JFET部)10の抵抗が大きくなり、オン抵抗が大きくなるという欠点を有していた。

本発明の目的は、従来の縦形二重拡散MOSFETにおける上述の欠点を改善し、素子耐圧を損なうことなくオン抵抗を低減できる縦形二重拡散MOSFETを提供することにある。

の比抵抗の低い層の厚さを厚くするにつれて単位チップ面積当たりのオン抵抗を低減することが可能となる。

すなわち、本発明の構成は素子耐圧を損なうことなくオン抵抗の低減を可能にするものである。

〔実施例〕

第1図は、本発明による実施例である。同図において、1は第1の半導体層でN⁺基板、2-1、2-2は第2の半導体層でそれぞれN形の第1エピタキシャル層およびN形の第2エピタキシャル層、3は第1の絶縁層でゲート酸化膜、4は第1の導電性層でポリシリコンよりなるゲート電極、5は第1の半導体領域でP形チャネル形成領域、6は第2の半導体領域でソースN⁺領域、7は層間絶縁膜、8は第2の導電性層でAlソース電極、9は第3の導電性層でドレイン電極、10はJFET部である。本発明による実施例では、第4図の従来の縦形二重拡散MOSFETにおけるN形エピタキシャル層2が、第1エピタキシャル層2-1および第2エピタキシャル層2-2の2層構

〔課題を解決するための手段〕

上記の目的を達成するため、本発明では、特許請求の範囲の中で記載したように、縦形二重拡散MOSFETの構成の中で、第2の半導体層を、比抵抗の高い層と比抵抗の低い層との2層で構成し、第1の半導体層側に比抵抗が高い層を、ゲート絶縁膜としての第1の絶縁層側には比抵抗が低い層を設け、かつ該2層の境界をチャネル形成領域としての第1の半導体領域と第2の半導体層とによって形成される接合よりも第1の半導体層側に設定することとした。すなわち、チャネル形成領域側の比抵抗の低い第2の半導体層の厚さをチャネル形成領域の拡散の深さよりも厚くしたものである。

〔作用〕

第2図および第3図について後に詳述するように、本発明の上記2層構成のうちの比抵抗の低い層の厚さをチャネル形成領域の拡散深さよりも厚くしても、素子耐圧を従来と同等に保つことが可能であることが確認された。しかも一方では、こ

成となっており、第1エピタキシャル層2-1は従来の縦形二重拡散MOSFETにおけるエピタキシャル層2と同一の不純物濃度を有し、第2エピタキシャル層2-2は第1エピタキシャル層2-1よりも高い不純物濃度を有し比抵抗が低い。

第2図は、素子耐圧の第2エピタキシャル層2-2の厚さへの依存性を示すものである。同図は第2エピタキシャル層2-2の不純物濃度が第1エピタキシャル層2-1の不純物濃度の2倍の場合の例で、第2エピタキシャル層2-2の厚さをP形チャネル形成領域5の拡散深さよりも厚くしても、素子耐圧を従来の縦形二重拡散MOSFETと同等に保つことができることを示している。ただし、ある一定の厚さを越えると、素子耐圧は急激な低下を示す。

第3図は、単位チップ面積当たりのオン抵抗の第2エピタキシャル層2-2の厚さへの依存性を示すものである。第3図中に破線で示したのは、第2図において素子耐圧が急激に低下する第2エピタキシャル層2-2の厚さの境界を示すもので、

許容される領域は破線から左の領域である。第3図で示されるように、第2エピタキシャル層2-2の厚さをP形チャネル形成領域5の拡散深さよりも深くし、かつ素子耐圧が低下しない範囲とすることによって、単位チップ面積当りのオン抵抗を従来の縦形二重拡散MOSFETに対して約25%低減できる。

〔発明の効果〕

以上のように、本発明によれば素子耐圧を従来の縦形二重拡散MOSFETと同等に保ち、単位チップ面積当りのオン抵抗を25%低減できる。

したがって、本発明によれば、従来技術と同等の特性を有する素子が25%小さいチップ面積で実現され、生産性の向上が達成できる。逆に同一の生産性（同一チップ面積）を保った場合には、オン抵抗が25%低い素子を実現できる。

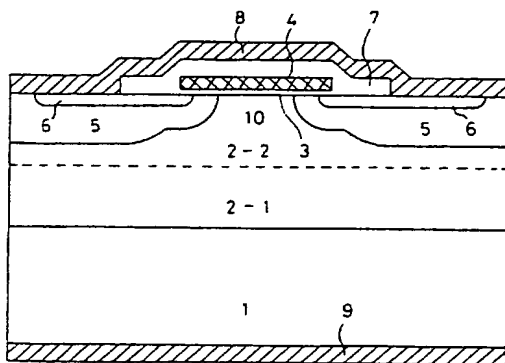
4. 図面の簡単な説明

第1図は本発明の縦形二重拡散MOSFETの断面図、第2図は本発明による実施例の素子耐圧の第2エピタキシャル層の厚さへの依存性を示す

図、第3図は本発明による実施例の単位チップ面積当りのオン抵抗の第2エピタキシャル層の厚さへの依存性を示す図、第4図は従来の縦形二重拡散MOSFETの断面図である。

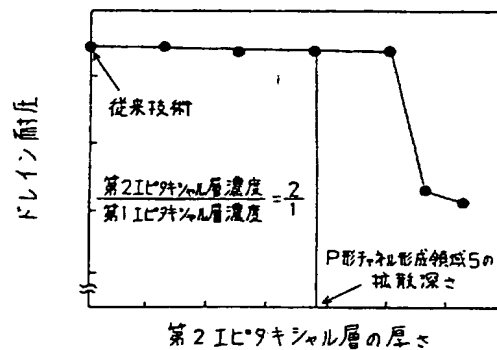
- 1…N⁺基板
- 2…N形エピタキシャル層
- 2-1…N形の第1エピタキシャル層
- 2-2…N形の第2エピタキシャル層
- 3…ゲート酸化膜
- 4…ゲート電極
- 5…P形チャネル形成領域
- 6…ソースN⁺領域
- 7…層間絶縁膜
- 8…ソース電極
- 9…ドレイン電極
- 10…JFET部

特許出願人 日本電信電話株式会社
代理人弁理士 中村純之助

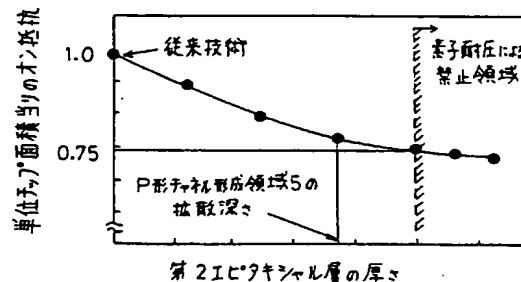


- 1…N⁺基板
- 2…N形エピタキシャル層
- 2-1…N形の第1エピタキシャル層
- 2-2…N形の第2エピタキシャル層
- 3…ゲート酸化膜
- 4…ゲート電極
- 5…P形チャネル形成領域
- 6…ソースN⁺領域
- 7…層間絶縁膜
- 8…ソース電極
- 9…ドレイン電極
- 10…JFET部

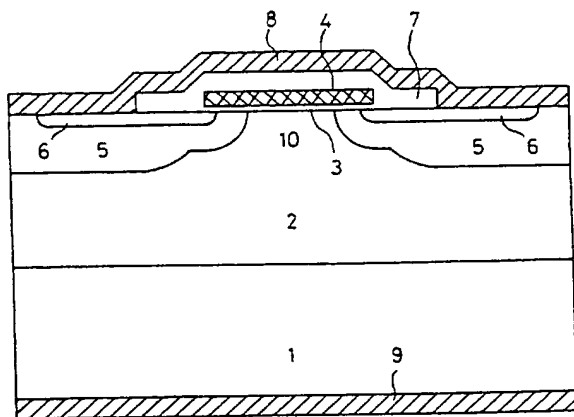
第1図



第2図



第3図



第 4 図